

解析事例紹介3

「標準プロセスレシピの活用例」

オリンパス(株) 研究開発センター 網倉 正明

1. 概要

MEMS 構造体は様々な三次元構造体を持ち、それらの構造体を作りこむためのプロセスは複雑でデバイス固有にならざるを得ない。これまでも社内開発や MEMS ファンドリーサービスを通じて様々な技術を獲得しているが、製造ラインへ移管し安定生産に至るまでには多大な労力を要する。これには試作による課題潰しを繰り返すが、試作期間と費用増大に繋がることは言うまでもない。

特にファンドリーでの試作は、事前に課題潰しが完了し完成度の高い状態が望ましい。このためには、標準プロセスレシピによるいわゆる“あたりつけ”なる事前検討試作が重要である。今回は、静電型マイクロミラーデバイスの標準プロセスレシピを用いた MemsONE によるエミュレーション結果と実際のプロセスとの比較について報告する。

2. 標準プロセスレシピ

2 - 1. ウエハ仕様

静電型マイクロミラーデバイスのプロセスは、SOI ウエハを用いた表裏 DRIE 加工が基本となる。SOI ウエハの仕様は製品ごとに異なるため、表 1 に示すように特に厚さに幅がある。試作の場合は、あらかじめ準備した比較的厚い SOI ウエハを研磨することで対応することが多い。導電型及び比抵抗は基本的には不問であるが、直接電極を取る場合は、0.1 cm 以下の低抵抗ウエハにすることがある。

表 1 . SOI ウエハの仕様

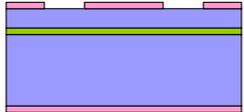
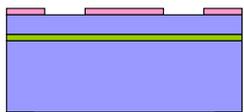
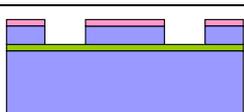
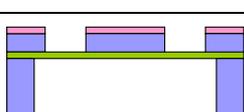
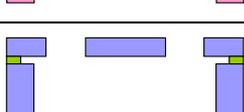
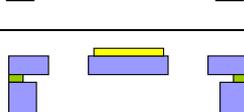
項目	仕様範囲	標準	補足
ウエハ径 (mm)	100	100	弊社標準ライン
面方位	(100)	(100)	
導電型	n 型または p 型	不問	
比抵抗 (cm)	0.1 ~ 数十	不問	
活性層厚 (μ m)	10 ~ 100	個別仕様	光学特性
BOX 厚 (μ m)	0.5 ~ 4	個別仕様	光学特性
支持層厚 (μ m)	300 ~ 525	300	弊社独自

2 - 2. 製造プロセス

標準プロセスは至ってシンプルであり、レシピも一般的な条件である。表 2 に概略のプ

ロセスフローと簡略構造図を示す。この標準プロセスの特徴は、Si のエッチングマスクとなる表裏の熱酸化膜をまとめてパターニングすることである。

表 2 . 標準プロセスレシピ

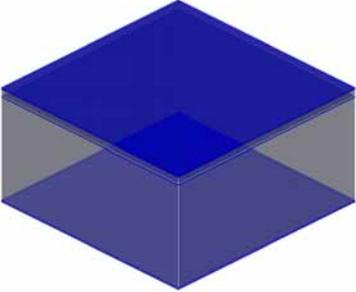
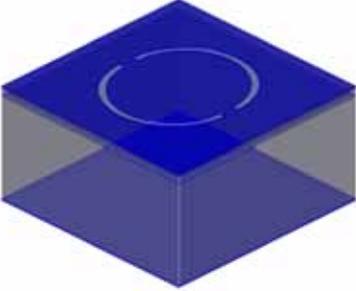
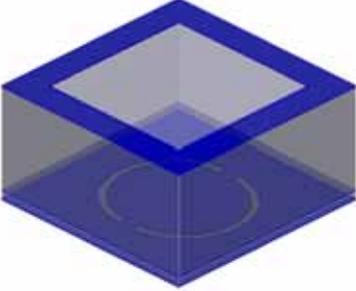
プロセス	レシピ	目標仕様	断面図
熱酸化	Wet 酸化 : 1050	膜厚 : $2.0 \pm 0.2 \mu\text{m}$	
ドライエッチング (SiO ₂)	RIE : CF ₄ /H ₂		
ドライエッチング (裏面 : SiO ₂)	RIE : CF ₄ /H ₂		
ドライエッチング (活性層)	DRIE : SF ₆ /C ₄ F ₈	線幅 : $2.0 \pm 0.2 \mu\text{m}$	
ドライエッチング (裏面 : Si)	DRIE : SF ₆ /C ₄ F ₈		
ウエットエッチング (SiO ₂)	50%HF		
成膜 (Au/Cr)	メタルマスク蒸着	550 ± 50	

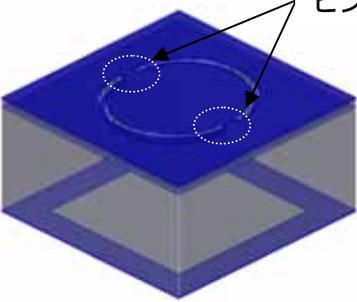
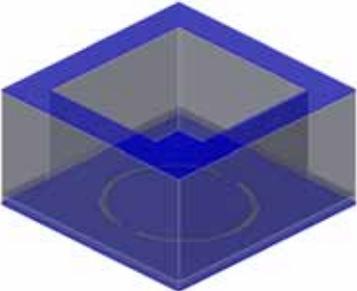
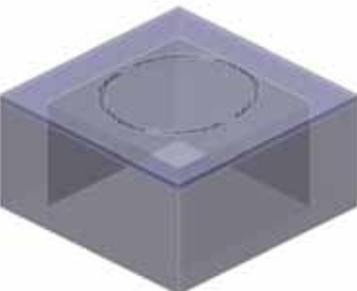
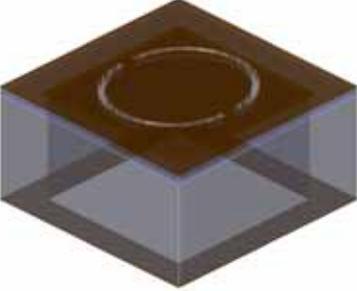
標準プロセスレシピはほぼ固定であるが、DRIE による Si エッチングは SOI ウエハの活性層及び支持層の厚さとパターン密度によりレシピ内容を変更する。特に活性層の Si エッチングは、ミラーを支持するビームの加工工程でマイクロミラーの光学特性を左右するため高い寸法精度が要求される。また、ウエットエッチング後はミラーがフリーとなるが、活性層厚が薄く BOX が厚い場合は、膜応力を配慮したプロセスにすることがポイントとなる。

3 . MemsONE による構造検証

表 3 に静電型マイクロミラーデバイスの標準プロセスレシピを用いた MemsONE によるエミュレーション結果を示す。但し、計算に用いた表裏の平面パターンは、簡略的なミラーパターンである。

表 3 . MemsONE によるエミュレーション結果

プロセス	計算結果	実デバイスとの比較
熱酸化		実デバイスでは活性層と支持層厚さに合わせて膜厚を決定する。
ドライエッチング (SiO ₂)		標準プロセスでの差異はなし。
ドライエッチング (裏面 : SiO ₂)		標準プロセスでの差異はなし。

<p>ドライエッチング (活性層)</p>		<p>エミュレータでのヒンジ側壁部は理想的な形状と角度となる。 実デバイスでは、スキヤロップの発生や90°に対しバラツキを持つ。</p>
<p>ドライエッチング (裏面: Si)</p>		<p>ドライエッチング(活性層)に同じ。 実デバイスでは、エッチング時においてマスク熱酸化膜との選択比により、熱酸化膜の膜減りが発生する。</p>
<p>ウエットエッチング (SiO2)</p>		<p>エミュレータでは固定部BOXのサイドエッチ量を考慮していない。</p>
<p>成膜 (Au/Cr)</p>		<p>全面成膜の場合、エミュレータでは貫通していることにより裏面にも成膜されている。 実デバイスではメタルマスクにより部分的に成膜を行う。</p>

静電型マイクロミラーでは、ミラーを支持するヒンジの形成工程が重要である。特にヒンジ断面 Top と Bottom での幅の差が大きい場合は光学特性に影響を与える場合がある。エミュレータでは理想的な形状と角度となるが、任意に設定できれば製造バラツキを考慮した特性バラツキの事前評価も可能となる。

以上、MemsONE によるエミュレーション結果は若干のチューニングは必要であるが、概ね実デバイス構造を再現できていると考える。従って、事前検討段階における構造検証に対しては有用性が高いと言える。

4. まとめ

MemsONE によるエミュレーション結果は、静電型マイクロミラーデバイスの標準プロセスをほぼ忠実に再現できていると考える。今後は機構解析の検証を行う予定である。また、この標準プロセスは、静電型マイクロミラーに加え片持ちレバーやメンブレン構造体などへの適用も可能である。

謝辞

本報告にあたり、MemsONE によるエミュレーション結果をご提供頂いた、みずほ情報総研株式会社 浅海様に感謝致します。